

Docket No.: M&N-IT255

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : KARL SCHROEDINGER  
Filed : Concurrently herewith  
Title : METHOD AND APPARATUS FOR PRODUCING A CLOCK  
OUTPUT SIGNAL

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,  
based upon the German Patent Application 101 32 230.5, filed June 29, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted  
herewith.

Respectfully submitted,



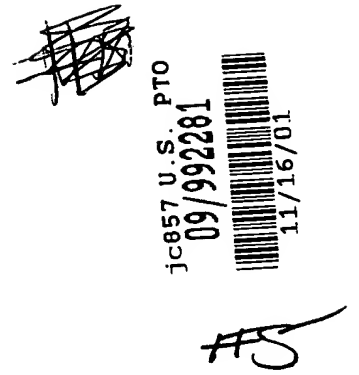
For Applicant

WERNER H. STEMER  
REG. NO. 34,956

Date: November 16, 2001

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/cp





Jc857 U.S. PTO  
09/992281



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 32 230.5

**Anmeldetag:** 29. Juni 2001

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Verfahren und Vorrichtung zur Erzeugung  
eines Taktausgangssignales

**IPC:** H 03 K, H 03 B

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 06. September 2001  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Wehner

## Beschreibung

Bezeichnung der Erfindung: Verfahren und Vorrichtung zur Erzeugung eines Taktausgangssignales.

5

Die vorliegende Erfindung bezieht sich auf ein Verfahren und eine Vorrichtung zur Erzeugung eines Taktausgangssignales, und insbesondere aber nicht ausschliesslich auf eine verzögerungsschaltung für einen Takt mit unendlich einstellbarer Verzögerung zur Anwendung in Delay Locked Loop (DLL) Schaltungen.

10

Bekannt sind DLL-Schaltungen unter anderem aus US 5015872 sowie der Veröffentlichung von Thomas H. Lee et. al. In IEEE Journal of Solid State Circuits, Vol. 29, Nr. 12, Dezember 1994. Diese Schaltungen haben den Nachteil, dass die Takteingangsfrequenz vor der Phasenverschiebung halbiert wird, um anschliessend, d.h. nach der Phasenverschiebung, wieder verdoppelt zu werden. Dies kann bei hohen Taktfrequenzen problematisch sein, bzw. sehr schnelle und präzise EXOR-Gatter und Mischer erfordern. Auch können dabei Nichtlinearitäten entstehen.

20

Darüber hinaus ergeben sich bei der Realisierung von Fensterkomparatoren, welcher wie in oben genannter Veröffentlichung von Lee et al („quadrant boundary detector“) die Steuerspannung überwacht und den eigentlichen Delaygenerator steuert, Probleme bei der Umschaltung, wie in Figur 1 gezeigt. Hier wird eine ideale Kurve einer realen gegenübergestellt. Abgesehen von der Nichtlinearität der geschwungenen (realen) Kurve, die die Schleifenverstärkung in der DLL-Schleife ändert, tritt im allgemeinen ein Phasensprung am Umschaltpunkt (z.B. bei 180°) auf, da sich der Umschaltpunkt nicht mit absoluter Sicherheit einstellen lässt (Toleranzen). Dadurch lassen sich bestimmte Phaseneinstellungen nicht realisieren bzw. kann ein Schwingen auftreten (sprunghaftes Schalten zwischen den Phasen  $108^\circ - \Delta\varphi^\circ$

30

35

2

und  $180^\circ + \Delta\varphi^\circ$ , wenn die Sollphase dazwischen liegt).

Die Erfindung hat die Aufgabe, diese Nachteile zumindest abzumindern. Diese Aufgabe wird durch die in den  
5 unabhängigen Ansprüchen definierte Erfindung gelöst.

Erfindungsgemäss wird ein Verfahren geschaffen zur Erzeugung eines Taktausgangssignales, mit folgenden Schritten:  
Empfang eines eine Phaseninformation enthaltenden  
10 Eingangssignales; Erzeugen einer Vielzahl von jeweils voneinander um einen vorbestimmten Betrag phasenverschobenen Taktsignalen; Gewichten jedes der Vielzahl von Taktsignalen in Abhängigkeit von der im Eingangssignal enthaltenen Phaseninformation; und Mischen der gewichteten Taktsignale  
15 zur Erzeugung eines Taktausgangssignales, dessen Phase im wesentlichen mit der durch die Phaseninformation dargestellten Phase übereinstimmt.

Gemäss dieses Verfahrens kann somit auf eine Halbierung der  
20 Taktfrequenz verzichtet werden. Stattdessen wird die originale Taktfrequenz beibehalten und durch geeignete Phasenverschiebungen ein Taktausgangssignal erzeugt, welches die gewünschte Phase hat.

25 Insbesondere wird in dem Verfahren vorzugsweise ein Takteingangssignal vorbestimmter Frequenz erzeugt, welches durch wiederholte Phasenverschiebung vervielfacht wird, so dass die erwähnte Vielzahl von Taktsignalen erhalten wird, welche alle besagte vorbestimmte Frequenz aufweisen. Mit  
30 dieser „Taktsignalvervielfachung“ bei Beibehaltung einer Takteingangssignalfrequenz kann durch anschliessendes Gewichten und Mischen wie erwähnt eine gewünschte Phase erzeugt werden, ohne eine nachteilige Frequenzhalbierung des Taktsignales durchführen zu müssen.

35

In einer Ausgestaltung handelt es sich bei der Vielzahl von Taktsignalen um vier um  $90^\circ$  voneinander phasenverschobene

Taktsignale, die vorzugsweise aus dem Takteingangssignal durch Verwendung eines Quadratur-Oszillators erzeugt werden.

5 In einer weiteren Ausgestaltung wird das Mischen der gewichteten Taktsignale durch Addition durchgeführt. Ausserdem kann eine Bandbegrenzung zum Herausfiltern von Oberwellen beim Mischen der gewichteten Taktsignale durchgeführt werden.

10 Erfindungsgemäss wird des weiteren eine Vorrichtung zur Erzeugung eines Taktausgangssignales geschaffen, mit: einem Eingang zum Empfang eines eine Phaseninformation enthaltenden Eingangssignales; einem Taktgenerator zur Erzeugung einer  
15 Vielzahl von jeweils voneinander um einen vorbestimmten Betrag phasenverschobenen Taktsignalen; und einer Schaltung zur Gewichtung jedes der Vielzahl von Taktsignalen in Abhängigkeit von der im Eingangssignal enthaltenen Phaseninformation, sowie zum Mischen der gewichteten Taktsignale zur Erzeugung eines Taktausgangssignales, dessen  
20 Phase im wesentlichen mit der durch die Phaseninformation dargestellten Phase übereinstimmt.

25 Diese Vorrichtung kann beispielsweise Teil eines Delay Lock Loop Regelkreises sein. Der Taktgenerator kann durch einen Quadratur-Oszillator zur Erzeugung von vier um  $90^\circ$  voneinander phasenverschobenen Taktsignalen gebildet sein.

Darüber hinaus wird erfindungsgemäss ein Regelkreis geschaffen, mit einem Phasenschieber zur Erzeugung einer  
30 ersten Taktphase; einem Phasendetektor zur Detektion einer Phasendifferenz zwischen der ersten Taktphase und einer zweiten Taktphase, und zur Erzeugung eines Ausgangssignales in Abhängigkeit von der detektierten Phasendifferenz; einer Ladungspumpe zur Integration des Ausgangssignales des  
35 Phasendetektors; und einer Steuerung zur Umschaltung der Integrationspolarität der Ladungspumpe an vorbestimmten Schaltpunkten in Abhängigkeit von der detektierten

## 4

Phasendifferenz, wobei die Schaltpunkte mit Hysterese behaftet sind. Diese Vorrichtung beseitigt die eingangs erwähnten Nachteile von nur ungenau einstellbaren Einstellpunkten sowie unerwünschtem Schwingen. Insbesondere  
5 wird das in Figur 1 aufgezeigte „Phasenloch“  $\varphi^0$  vermieden.

Ein solcher Regelkreis ist in vorteilhafter Weise in Delay Lock Loop Schaltungen einsetzbar.

- 10 Erfindungsgemäss wird weiterhin ein Verfahren zur Erzeugung eines Taktsignales geschaffen, mit folgenden Schritten:  
Feststellen einer Phasendifferenz zwischen der Taktphase eines ersten Eingangssignales und der Taktphase eines ersten Ausgangssignales eines Phasenschiebers; Erzeugen eines  
15 zweiten Ausgangssignales in Abhängigkeit von der detektierten Phasendifferenz; Erzeugen eines zweiten Eingangssignales des Phasenschiebers durch Integration des zweiten Ausgangssignales; Umschalten der Integrationspolarität an vorbestimmten Schaltpunkten in Abhängigkeit von der  
20 festgestellten Phasendifferenz, wobei die Schaltpunkte mit Hysterese behaftet sind.

Ausserdem wird erfindungsgemäss eine Ladepumpe geschaffen zur Erzeugung eines Ausgangssignales das im wesentlichen  
25 proportional bzw. invers proportional zur Phase eines Eingangssignales ist, wobei die Ladepumpe derart ausgebildet ist, dass ein Wechsel zwischen Proportionalität und inverser Proportionalität an vorbestimmten Schaltpunkten stattfindet, in denen ein vorbestimmter Sprung der dem Ausgangssignal an  
30 den Schaltpunkten zugeordneten Phase erfolgt.

Die Schaltpunkte sind vorzugsweise mit Hysterese behaftet. Der vorbestimmte Sprung ist mit Vorteil ein Phasenrücksprung vorbestimmten Betrags.

35

Beispielhafte Ausführungsbeispiele der Erfindung werden im Folgenden anhand der Zeichnung erläutert, und es zeigen:

Figur 1 eine Spannungskennlinie bei der Umschaltung der Polarität einer Ladepumpe in einer bekannten DLL Schaltung;

- 5 Figur 2 schematisch ein Blockdiagramm einer DLL Schaltung mit einem Phasenschieber nach einem Ausführungsbeispiel der Erfindung;

- Figur 3 eine im Phasenschieber aus Figur 2 enthaltene Schaltung zur Erzeugung eines Taktausgangssignales;
- 10

Figur 4 eine ebenfalls im Phasenschieber aus Figur 2 enthaltene Steuerschaltung zur Auswahl und Steuerung von Eingangstakten für die Schaltung aus Figur 3;

15

Figur 5 die vier Takteingangssignale der Schaltung aus Figur 3;

- Figur 6 die Signale der Steuerschaltung aus Figur 4 (wobei  $I_n$  proportional zu  $U_n$  ist);
- 20

Figur 7 Steuerstrom- und Phasenverläufe einer Schaltung nach einer weiteren Ausgestaltung der Erfindung;

- 25 Figur 8 die Umschaltung der Polarität einer Ladepumpe mit Hysterese; und

Figur 9 eine Realisierung der Schaltung dieser Ausgestaltung.

- 30 Weiterhin zeigt Tabelle 1 zusammenfassend die Eigenschaften der Steuerschaltung aus Figur 4 (Signale  $S_0$  bis  $S_3$ ,  $U_0$  bis  $U_3$ ) abhängig vom Eingang  $U_{CP}$  (Ausgang der Charge Pump).

- Figur 2 zeigt eine beispielhafte Delay Locked Loop (DLL) Schaltung 1, die einen Phasenschieber 2 nach einer Ausgestaltung der Erfindung enthält. Die DLL Schaltung 1 weist weiterhin einen Phasendetektor 3 sowie eine
- 35

Ladungspumpe (Charge Pump) 4 auf. Der Phasendetektor 3 weist einen Eingang I zum Empfang eines Datensignales auf. Das Datensignal ist ausserdem einem Eingang I der Logik 5 zugeführt, die durch ein Taktausgangssignal Cout der DLL Schaltung 1 über einen Takteingang T getaktet wird. Zweck der DLL Schaltung 1 ist es, ein Taktsignal Cout zur Verfügung zu stellen, das phasengleich mit dem Takt des Datensignales ist. DLL Schaltungen als solche sind bekannt und deshalb hier nicht weiter erläutert.

10

Figuren 3 und 4 zeigen die im Phasenschieber 2 aus Figur 1 enthaltenen Schaltungen. Figur 3 zeigt eine Schaltung zur Erzeugung des Taktsignales  $C_{out}$  durch Mischen der Takte C0 bis C3. Diese vier Taktsignale C0 bis C3 sind in Figur 5 15 gezeigt. Die Schaltung enthält zwei jeweils mit den entsprechenden Taktphasen angesteuerte Mischer, die differentiell auf den gleichen Lastwiderständen R1 und R2 arbeiten. Ein Kondensator C1 (optional) dient zur Bandbegrenzung, da lediglich die Grundwellen der einzelnen 20 Phasen der Taktsignale C1 bis C3 gemischt (addiert) werden sollen und Oberwellen dementsprechend herausgefiltert werden müssen. Über die Steuerspannungen U0 bis U4 werden die jeweiligen Takte C0 bis C3 in geeigneter Weise gewichtet.

25

Die dargestellte Schaltung verwendet nicht die halbierte Taktfrequenz (wie im Stand der Technik), sondern die originale Taktfrequenz, welche durch geeignete Phasenschieberschaltungen die entsprechende Phasenverschiebung enthält. Dadurch sind zwar insgesamt vier 30 Taktphasen erforderlich; da aber jeweils zwei dieser Takte zueinander invertiert sind, sind diese ohnehin in einfacher Weise verfügbar ( $C_{xq}$  ist der invertierte Takt von  $C_x$ ,  $C_0 = C_{2q}$ ,  $C_{0q} = C_2$ ,  $C_1 = C_{3q}$ ,  $C_3 = C_{1q}$  in den Figuren 3, 5 und 9). Diese Phasen können beispielsweise mit einem Quadratur- 35 Oszillator erzeugt werden, welcher die in Figur 5 mit  $0^\circ$  und  $90^\circ$  bezeichneten sowie die jeweils invertierten Takte  $180^\circ$  und  $270^\circ$  erzeugt.

Die Auswahl der Takte und deren Steuerung erfolgt durch die in Figur 4 gezeigte Steuerschaltung zur Erzeugung der Steuerspannungen U0 bis U3. Figur 6 zeigt die zum Mischen der Taktsignale durch die in Figur 4 dargestellte Schaltung erzeugten Steuersignale (wobei die Ströme I0 bis I3 propotional zu den Spannungen U0 bis U3 sind). Die Schaltelemente RS0 bis RS3 in Figur 4 sind RS-FlipFlop-Schaltungen (Reset-Set); K0 bis K3 sind Komparatoren. Die Komparatoren K0 bis K3 sind so angepasst, dass diese einen Umschaltvorgang auslösen, sobald die Steuerspannungen U0 bis U3 die obere oder untere Begrenzung erreichen, d.h. keine weitere Phasendrehung erreicht werden kann. Der Umschaltvorgang wird durch Triggern der FlipFlop-Schaltungen ausgelöst. Die Umschaltung erfolgt so, dass die in Figur 6 dargestellten Signale generiert werden.

Wie bereits oben angedeutet ist ein Vorteil dieser Schaltung die Verwendung der originalen Taktfrequenz, und nicht der halbierten Taktfrequenz wie bei den erwähnten bekannten Schaltungen. Dadurch entfällt die bei diesen Schaltungen erforderliche mit Problemen behaftete Frequenzverdoppelung.

Figur 6 zeigt ebenfalls die Steuersignale S0 bis S3 zur Steuerung der Mischer und des Verstärkers SDiff (Eintakt-Gegentakt-Wandler). Da jeweils nur einer der Mischer gesteuert wird, muss der jeweils nicht aktive Verstärker abgeschaltet bzw. auf ein festes Potential geschaltet werden, gesteuert durch die Signale S0 bis S3. Ferner muss entsprechend der Anforderungen auch die Verstärkung des Verstärker SDiff entweder 1 oder -1 betragen, ebenfalls gesteuert durch die Signale S0 bis S3. Tabelle 1 zeigt zusammenfassend die Eigenschaften des Verstärkers SDiff abhängig von den Kontrolleingängen S0 bis S3.

35

In einer weiteren Ausgestaltung der Erfindung ist eine Schaltung geschaffen, die durch entsprechende Überlappung der

resultierenden Phasenlagen das oben erwähnte Problem der „Phasenlöcher“ vermeidet. Zu diesem Zweck erfolgt an den Umschaltpunkten der Polarität der Ladungspumpe 4 (Figur 2) ein Rücksprung in der Phase, wie in den Figuren 7 und 8

5 gezeigt. Dies führt zwar zu einem Phasensprung während der Synchronisationphase; im eingeschwungenen Zustand kann jedoch bei entsprechender Hysterese kein weiterer Rücksprung mehr erfolgen. (Nur bei relativ grossen Phasenmodulationen in einem Frequenzbereich, der kleiner ist als die Bandbreite der  
10 DLL Schaltung 1, könnte dennoch ein Phasensprung entstehen. Dies ist in der realen Anwendung jedoch unwahrscheinlich. Ausserdem kann der Phasensprung derart klein gehalten werden, dass keine Bitfehler auftreten.)

15 Figur 9 stellt eine Realisierung der Schaltung dieser Ausgestaltung dar. Parallel zu den Differenzstufen T10 bis T13 sind weitere Differenzstufen T10a bis T13a und T10b bis T13b geschaltet, die die Phasenverstärkung  $\Delta\phi/dU_x$  ( $U_x$  ist die jeweilige differentielle Steuerspannung  $U_0-U_2$ , bzw.  $U_1-U_3$ )  
20 vergrössern, wobei die Vergösserung der Phasenverstärkung von der Dimensionierung von T14x, T15x bzw. deren Strömen, sowie R7x bis R10x abhängt. Da die Ströme im Mischer durch S0 bis S3 zu- und abgeschaltet werden (mit den Schaltern S0 bis S7 in Figur 9, gesteuert durch die gleichnamigen Signale aus  
25 Figur 4), entsteht der in Figur 7 unten gezeigte Phasenverlauf mit den beschriebenen Überlappungen (bzw. Phasensprüngen) bei  $45^\circ$ ,  $135^\circ$ ,  $225^\circ$  und  $315^\circ$ . Mathematisch kann dies für den Quadranten  $45^\circ < \phi < 135^\circ$  folgendermassen beschrieben werden:

30

$$C_{out} = C_0 \cdot I_{T10}(U_0) + C_2 \cdot I_{T11}(U_2) + C_1 \cdot I_{T12}(\max) + C_3 \cdot I_{T13a}(U_2),$$

$$\text{mit } I_{T10} = 1 \dots 0, I_{T11} = 0 \dots 1, I_{T13a} = 0,1 \cdot I_{T13}$$

35 Setzt man voraus, dass  $C_x = \sin(\omega t + 90^\circ \cdot x)$ ,  $x = 0, 1, 2, 3$ , ist, so ergibt sich eine resultierende Phase, die dem Mittelwert der drei Phasen plus des kleinen Anteils der vierten Phase

entspricht, d.h. der jeweilige Anteil der Ströme steuert die Phasenlage. Der Takt C1 ist fest (mit Faktor 1) eingespeist. Der Takt C0 wird im gleichen Masse verringert, wie der Takt C2 erhöht eingekoppelt wird. Zusätzlich wird ein kleiner

5 Anteil von C3 eingekoppelt, damit in einem Quadranten eine Phase von mehr als  $90^\circ$  (z.B.  $100^\circ$ ) überdeckt werden kann. Durch Hinzufügen dieses kleinen Anteils des jeweils vierten Stromes (hier  $I_{T13a}$ ) wird die Phasenverstärkung erhöht und die Überlappung erzielt. Dieser Anteil bestimmt die

10 Phasenüberlappung.

Die in den Formeln verwendeten Stromwerte sind normiert, d.h. z. B.  $I_{T11\max} = 1$ ,  $I_{T11\min} = 0$ .

15 Die Erfindung ist nicht auf die beschriebenen Ausführungsbeispiele beschränkt, sondern umfasst Modifikationen im Rahmen des durch die Ansprüche definierten Schutzbereiches.

## Bezugszeichenliste

	$\Delta\phi$	Phasensprung
	1	DLL Schaltung
5	2	Phasenschieber
	3	Phasendetektor
	4	Ladepumpe
	5	Logik
	R1, R2	Widerstände
10	C1	Kondensator
	T1-T15	Transistoren
	C0-C3	Taktsignale
	C0q-C3q	Taktsignale, quer
	Cout	Taktausgangssignal
15	SDiff1,2	Differenzverstärker
	CP	Charge Pump (Ladepumpe)
	RS0-RS3	Reset-Set FlipFlops
	U0-U3	Steuerspannungen
	Ucp	Ausgangsspannung Charge Pump
20	I0-I3	Steuerströme
	P1, P2	Phasenpolaritäten
	$\Phi$	Phase
	Q1-Q4	Quadranten
	T10a-T14b	Transistoren

## Patentansprüche

- 5 1. Verfahren zur Erzeugung eines Taktausgangssignales, mit  
folgenden Schritten:  
Empfang eines eine Phaseninformation enthaltenden  
Eingangssignales;  
Erzeugen einer Vielzahl von jeweils voneinander um einen  
10 vorbestimmten Betrag phasenverschobenen Taktsignalen;  
Gewichten jedes der Vielzahl von Taktsignalen in Abhängigkeit  
von der im Eingangssignal enthaltenen Phaseninformation; und  
Mischen der gewichteten Taktsignale zur Erzeugung eines  
Taktausgangssignales, dessen Phase im wesentlichen mit der  
15 durch die Phaseninformation dargestellten Phase  
übereinstimmt.
2. Verfahren nach Anspruch 1, mit folgenden Schritten:  
20 Erzeugen eines Takteingangssignales vorbestimmter Frequenz;  
und  
Erzeugen der Vielzahl der Taktsignale durch Verschieben der  
Phase des Takteingangssignales um ein Ein- bzw. Vielfaches  
des besagten vorbestimmten Betrags, wobei jedes der  
25 Taktsignale besagte vorbestimmte Frequenz aufweist.
3. Verfahren nach Anspruch 2, mit folgendem Schritt:  
Erzeugen von vier um  $90^\circ$  voneinander phasenverschobenen  
30 Taktsignalen.
4. Verfahren nach Anspruch 3, wobei die vier Taktsignale  
aus dem Takteingangssignal durch Verwendung eines Quadratur-  
35 Oszillators erzeugt werden.

12

5. Verfahren nach einem der vorhergehenden Ansprüche, mit folgendem Schritt:

Durchführen des Mischens der gewichteten Taktsignale durch Addition der gewichteten Taktsignale.

5

6. Verfahren nach einem der vorhergehenden Ansprüche, mit folgendem Schritt:

10 Durchführen einer Bandbegrenzung zum Herausfiltern von Oberwellen beim Mischen der gewichteten Taktsignale.

7. Vorrichtung zur Erzeugung eines Taktausgangssignales, mit:

15 einem Eingang zum Empfang eines eine Phaseninformation enthaltenden Eingangssignales;

einem Taktgenerator zur Erzeugung einer Vielzahl von jeweils voneinander um einen vorbestimmten Betrag phasenverschobenen Taktsignalen; und

20 einer Schaltung zur Gewichtung jedes der Vielzahl von Taktsignalen in Abhängigkeit von der im Eingangssignal enthaltenen Phaseninformation, sowie zum Mischen der gewichteten Taktsignale zur Erzeugung eines Taktausgangssignales, dessen Phase im wesentlichen mit der  
25 durch die Phaseninformation dargestellten Phase übereinstimmt.

8. Vorrichtung nach Anspruch 7, wobei die Vorrichtung Teil  
30 eines Delay Lock Loop Regelkreises ist.

9. Vorrichtung nach Anspruch 7 oder 8, wobei der Taktgenerator durch einen Quadratur-Oszillator gebildet ist,  
35 zur Erzeugung von vier um  $90^\circ$  voneinander phasenverschobenen Taktsignalen.

10. Regelkreis, mit:

einem Phasenschieber zur Erzeugung einer ersten Taktphase;

5 einem Phasendetektor zur Detektion einer Phasendifferenz  
zwischen der ersten Taktphase und einer zweiten Taktphase,  
und zur Erzeugung eines Ausgangssignales in Abhängigkeit von  
der detektierten Phasendifferenz;

10 einer Ladungspumpe zur Integration des Ausgangssignales des  
Phasendetektors; und

einer Steuerung zur Umschaltung der Integrationspolarität der  
Ladungspumpe an vorbestimmten Schaltpunkten in Abhängigkeit  
von der detektierten Phasendifferenz, wobei die Schaltpunkte  
mit Hysterese behaftet sind.

15

11. Regelkreis nach Anspruch, wobei der Regelkreis ein Delay  
Lock Loop Regelkreis ist.

20

12. Verfahren zur Erzeugung eines Taktsignales, mit  
folgenden Schritten:

Feststellen einer Phasendifferenz zwischen der Taktphase  
eines ersten Eingangssignales und der Taktphase eines ersten  
25 Ausgangssignales eines Phasenschiebers;

Erzeugen eines zweiten Ausgangssignales in Abhängigkeit von  
der detektierten Phasendifferenz;

Erzeugen eines zweiten Eingangssignales des Phasenschiebers  
durch Integration des zweiten Ausgangssignales;

30 Umschalten der Integrationspolarität an vorbestimmten  
Schaltpunkten in Abhängigkeit von der festgestellten  
Phasendifferenz, wobei die Schaltpunkte mit Hysterese  
behaftet sind.

35

13. Ladepumpe zur Erzeugung eines Ausgangssignales das im  
wesentlichen proportional bzw. invers proportional zur Phase

14

eines Eingangssignales ist, wobei die Ladepumpe derart ausgebildet ist, dass ein Wechsel zwischen Proportionalität und inverser Proportionalität an vorbestimmten Schaltpunkten stattfindet, in denen ein vorbestimmter Sprung der dem  
5 Ausgangssignal an den Schaltpunkten zugeordneten Phase erfolgt.

14. Ladepumpe nach Anspruch 13, wobei die Schaltpunkte mit  
10 Hysterese behaftet sind.

15. Ladepumpe nach Anspruch 13 oder 14, wobei der besagte vorbestimmte Sprung einem Phasenrücksprung vorbestimmten  
15 Betrags entspricht.

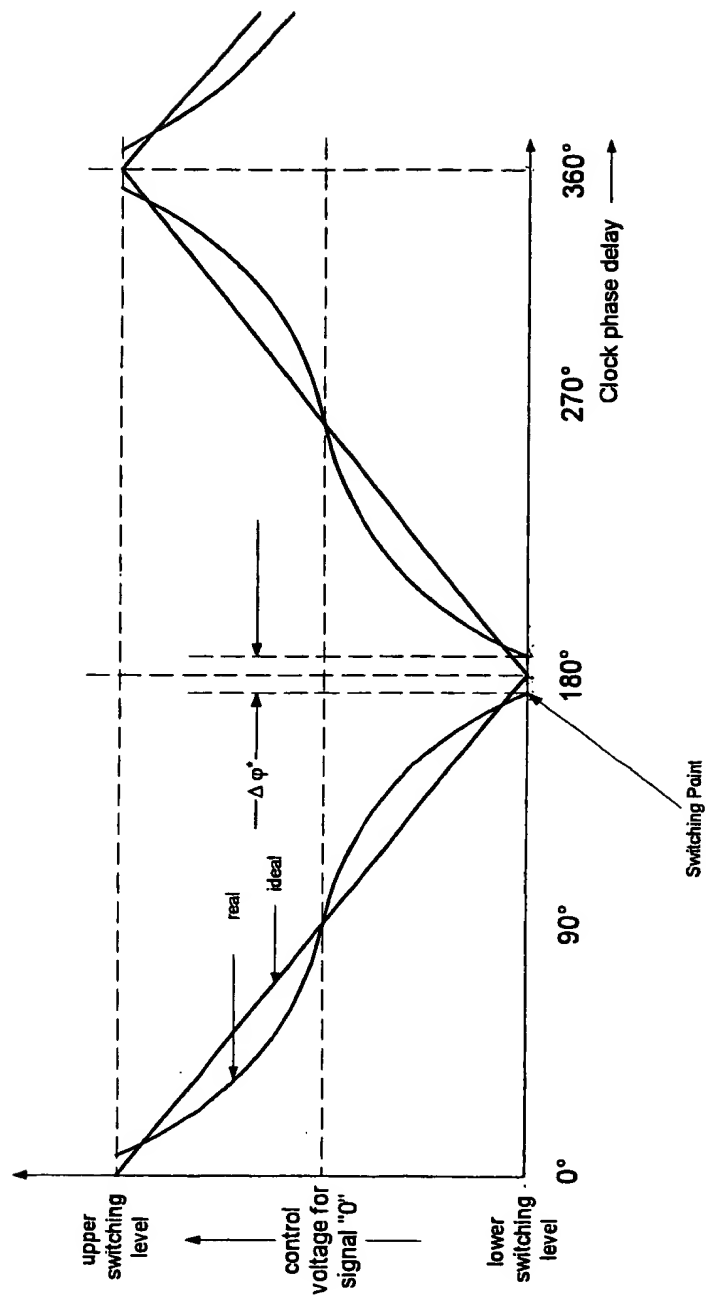
## Zusammenfassung

Bezeichnung der Erfindung: Verfahren und Vorrichtung zur Erzeugung eines Taktausgangssignales.

5

Beschrieben wird eine Vorrichtung zur Erzeugung eines Taktausgangssignales, mit einem Eingang zum Empfang eines eine Phaseninformation enthaltenden Eingangssignales; einem Taktgenerator zur Erzeugung einer Vielzahl von jeweils voneinander um einen vorbestimmten Betrag phasenverschobenen Taktsignalen; und einer Schaltung zur Gewichtung jedes der Vielzahl von Taktsignalen in Abhängigkeit von der im Eingangssignal enthaltenen Phaseninformation, sowie zum Mischen der gewichteten Taktsignale zur Erzeugung eines Taktausgangssignales, dessen Phase im wesentlichen mit der durch die Phaseninformation dargestellten Phase übereinstimmt. Ausserdem beschrieben wird ein Regelkreis, mit einem Phasenschieber zur Erzeugung einer ersten Taktphase; einem Phasendetektor zur Detektion einer Phasendifferenz zwischen der ersten Taktphase und einer zweiten Taktphase, und zur Erzeugung eines Ausgangssignales in Abhängigkeit von der detektierten Phasendifferenz; einer Ladungspumpe zur Integration des Ausgangssignales des Phasendetektors; und einer Steuerung zur Umschaltung der Integrationspolarität der Ladungspumpe an vorbestimmten Schaltpunkten in Abhängigkeit von der detektierten Phasendifferenz, wobei die Schaltpunkte mit Hysterese behaftet sind.

30 (Fig. 3)



\*)  $\Delta\varphi$  ist ein Phasensprung, der beim Umschalten des Delay Generators entsteht.

FIG. 1

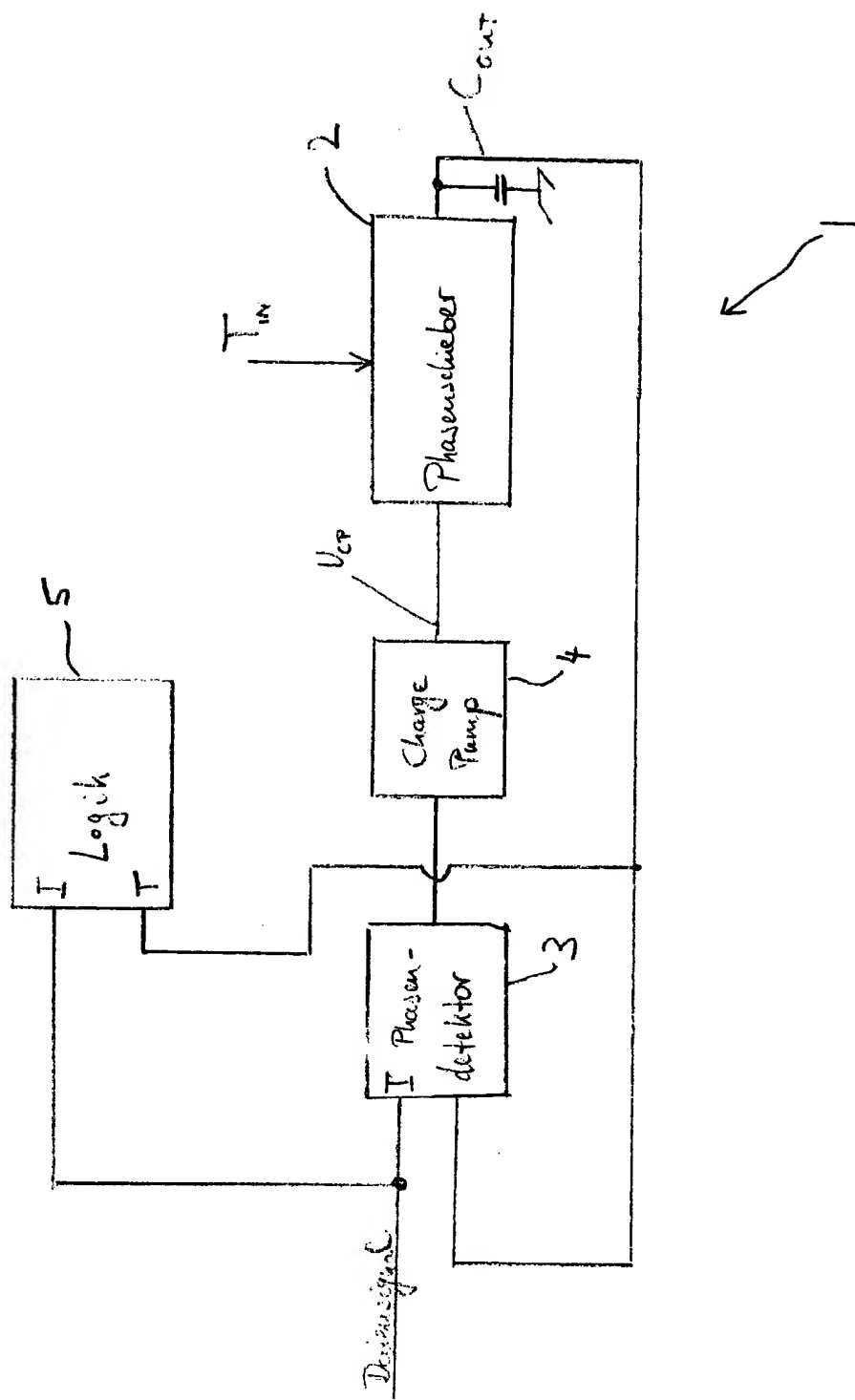


FIG. 2

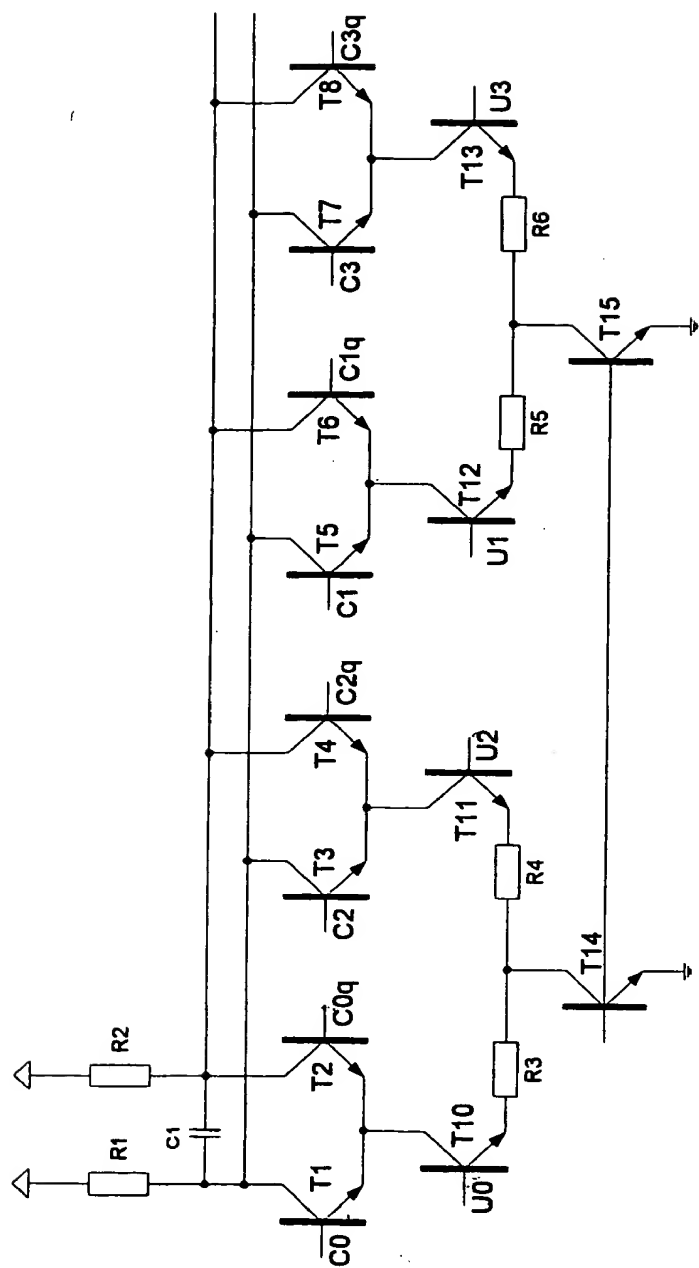


FIG. 3

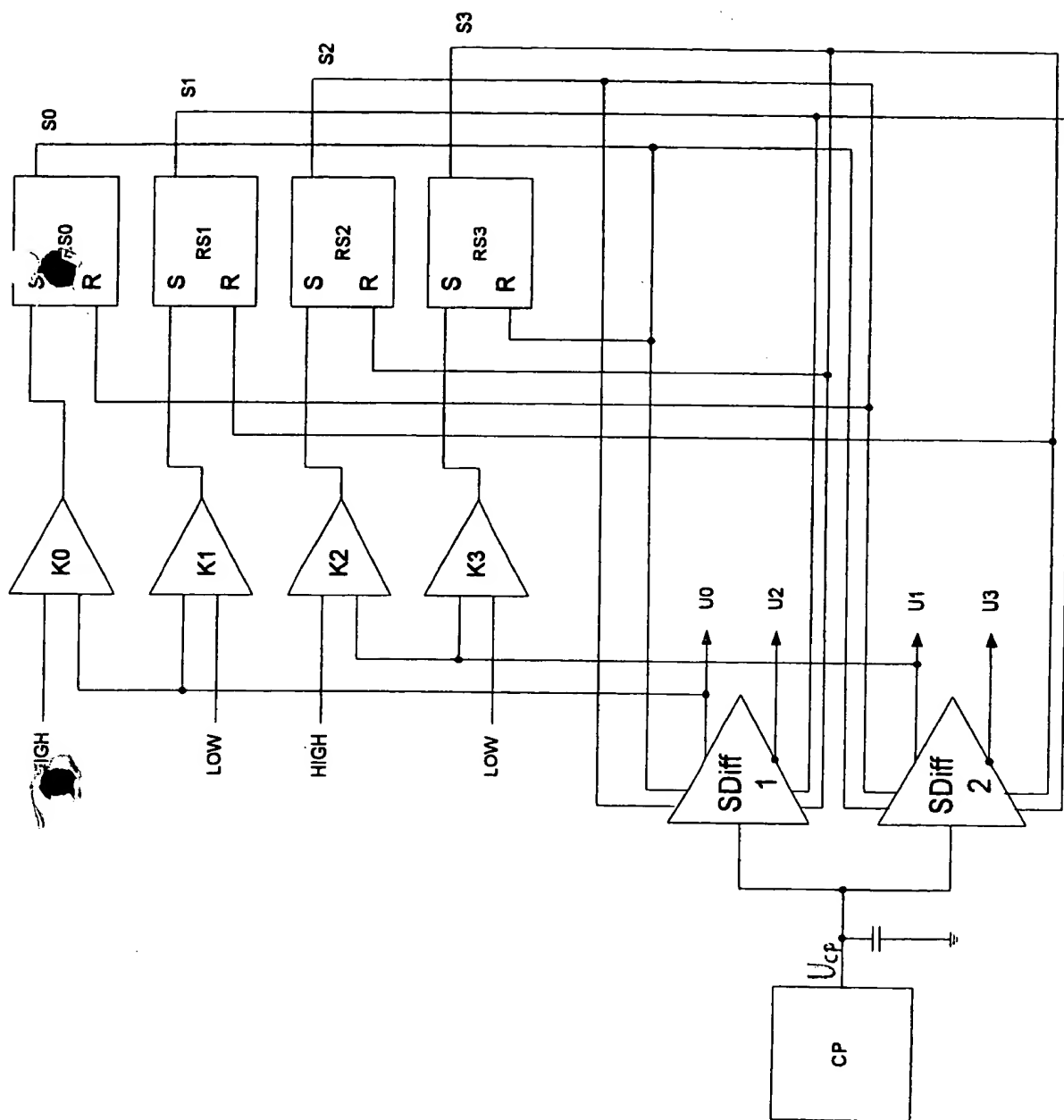


Fig. 4

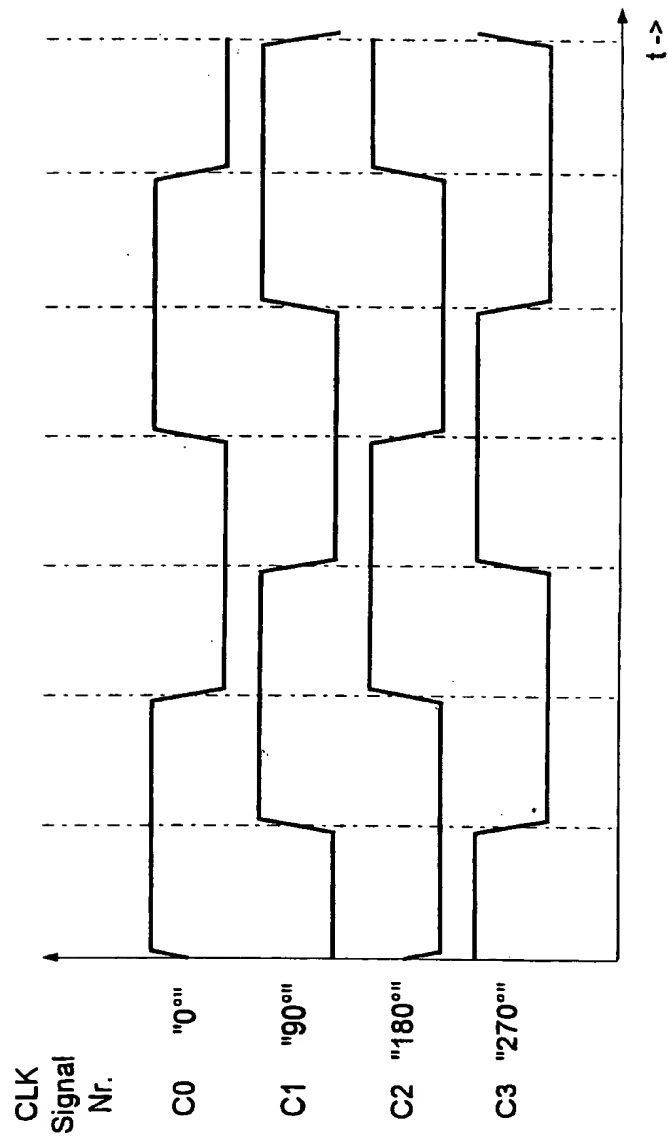


FIG. 5

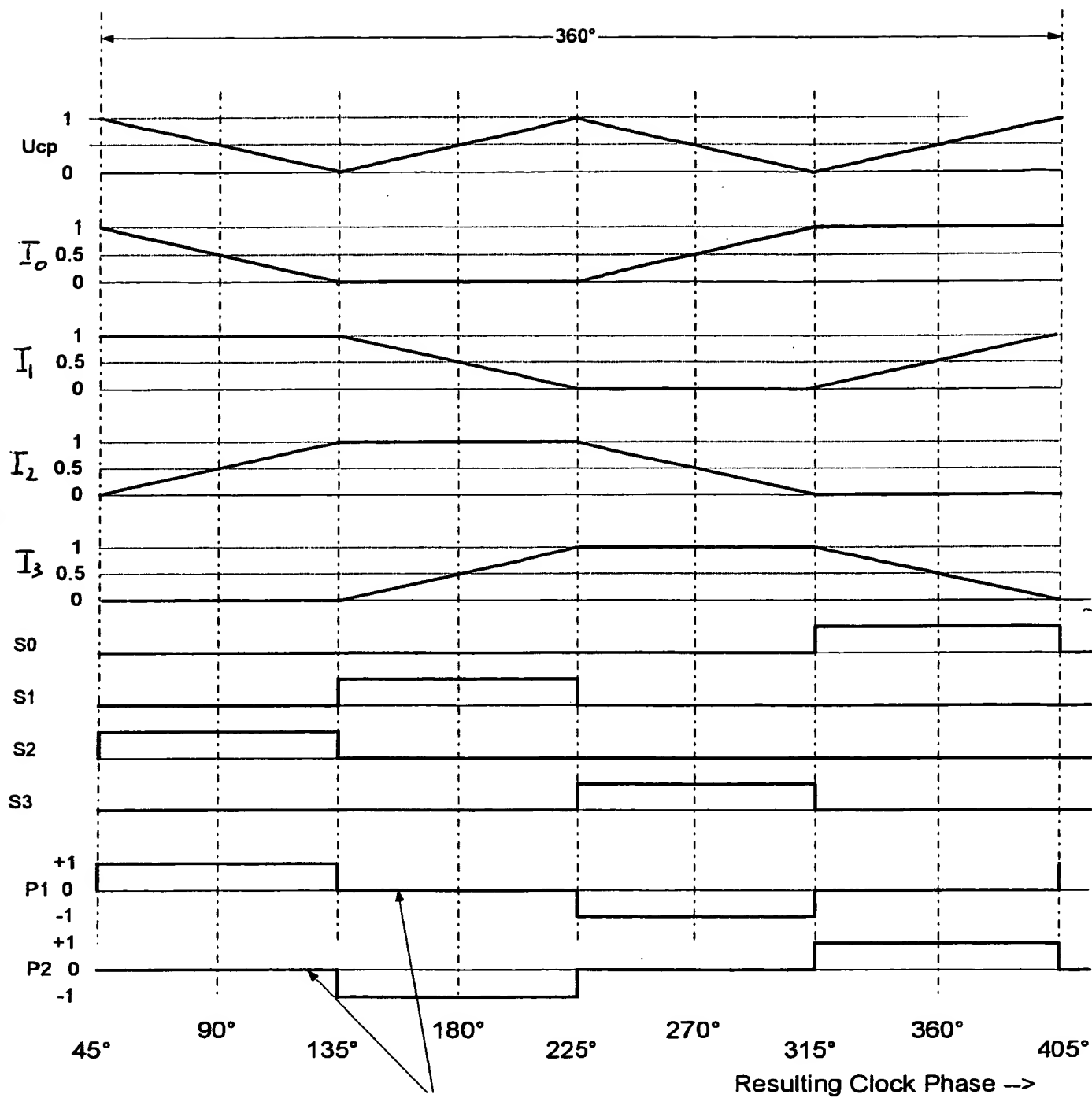


FIG. 6

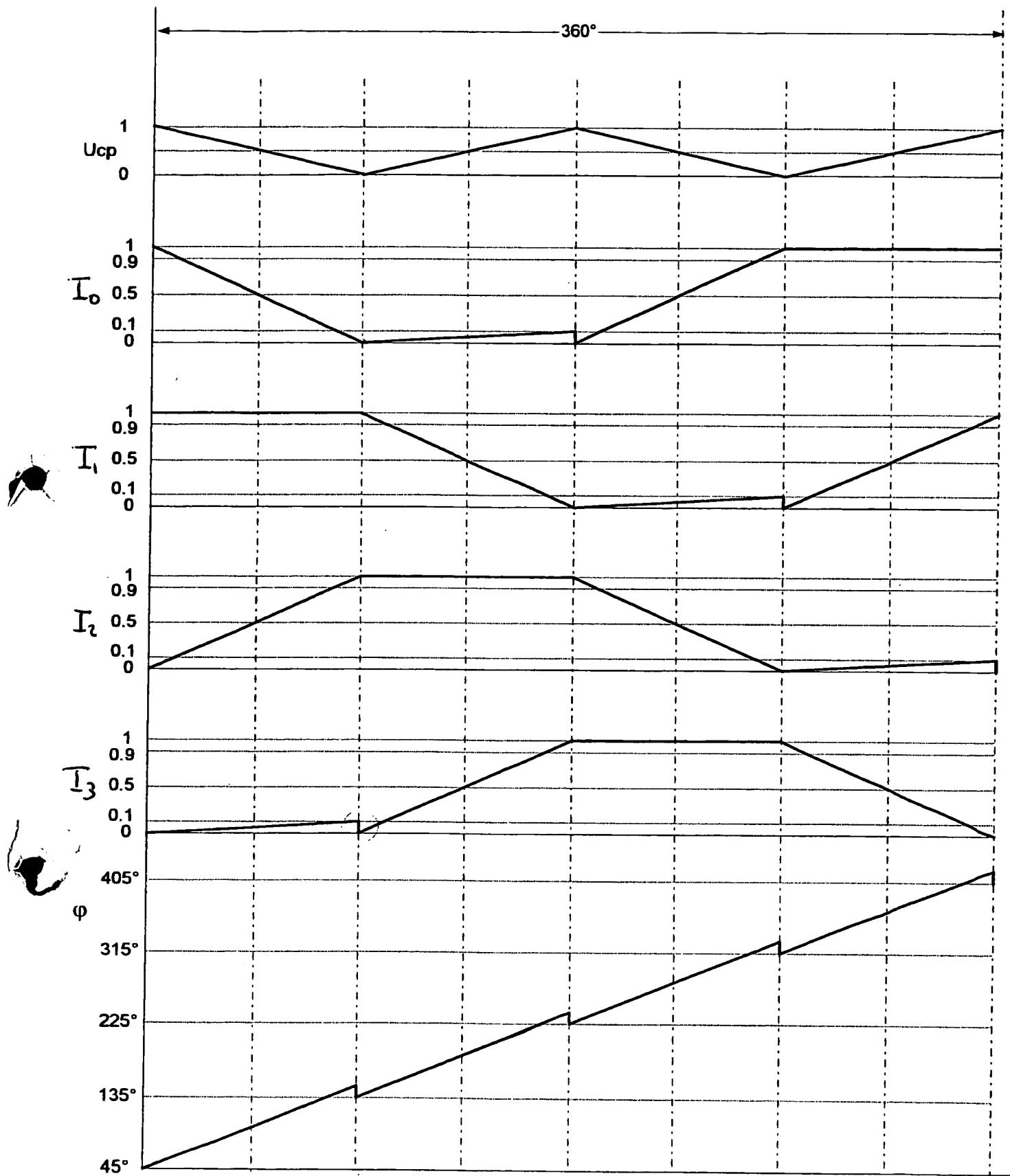
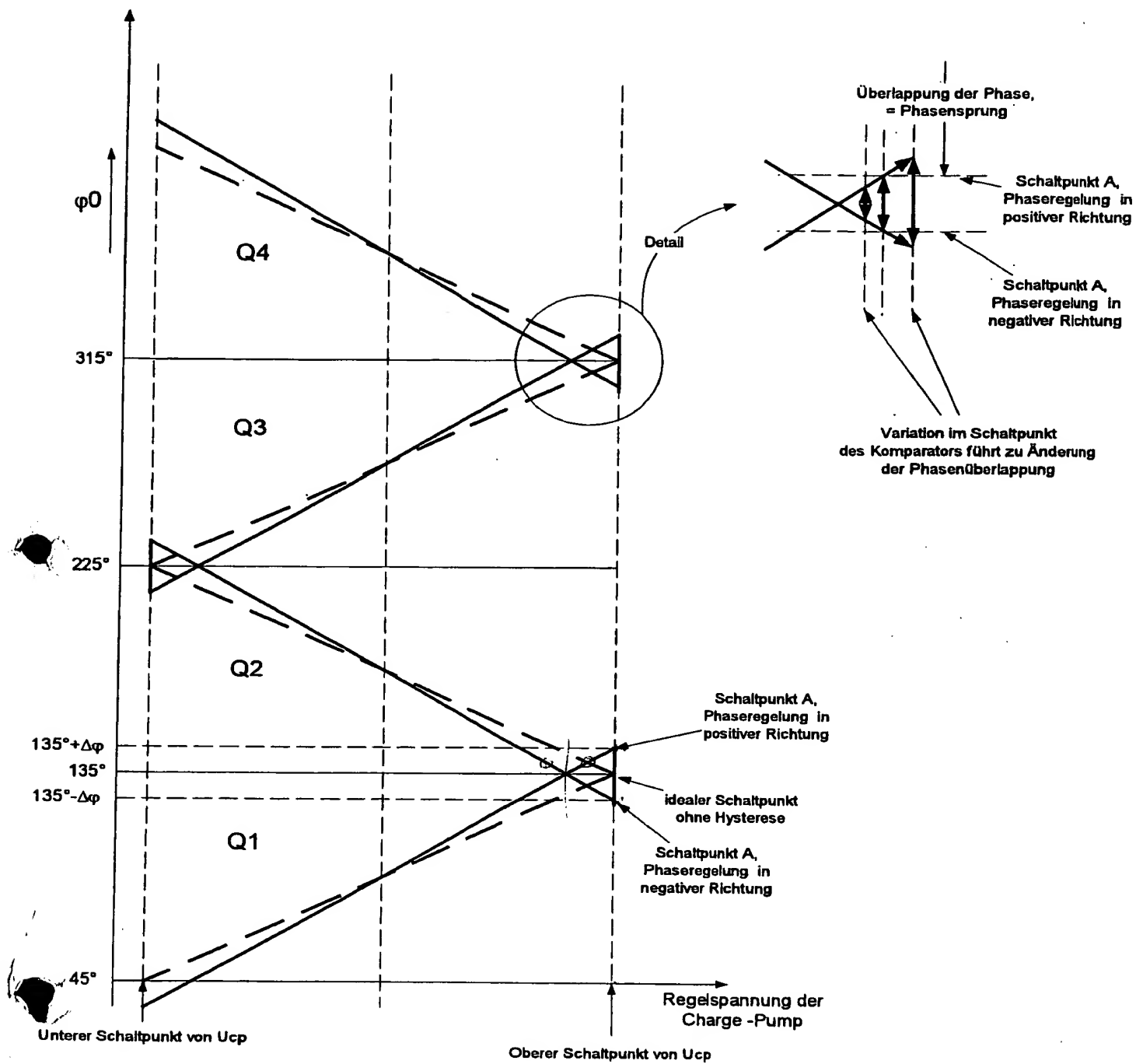


FIG. 7



135°

FIG. 8

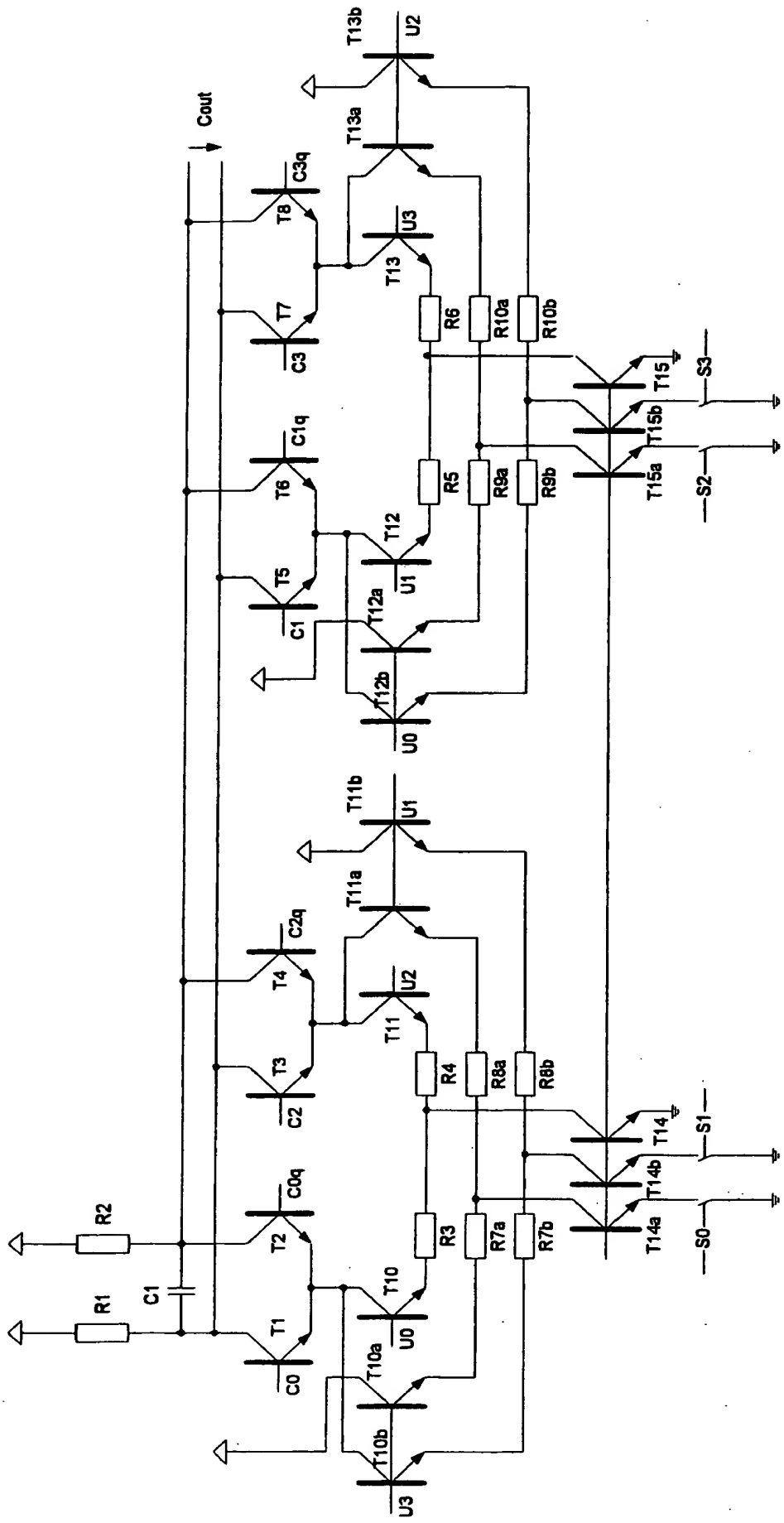


FIG. 9

	45° - 135°	135° - 225°	225° - 315°	315° - 405°
S0	0	0	0	1
S1	0	1	0	0
S2	1	0	0	0
S3	0	0	1	0
U0(positiver Ausgang von SDiff1)	positiv	low	negativ	high
U1(positiver Ausgang von SDiff2)	high	negativ	low	positiv
U2(negativer Ausgang von SDiff1)	negativ	high	positiv	low
U3(negativer Ausgang von SDiff2)	low	positiv	high	negativ
G1(Verstärkung von SDiff1)	+1	0	-1	0
G2(Verstärkung von SDiff2)	0	-1	0	+1

Tabelle 1

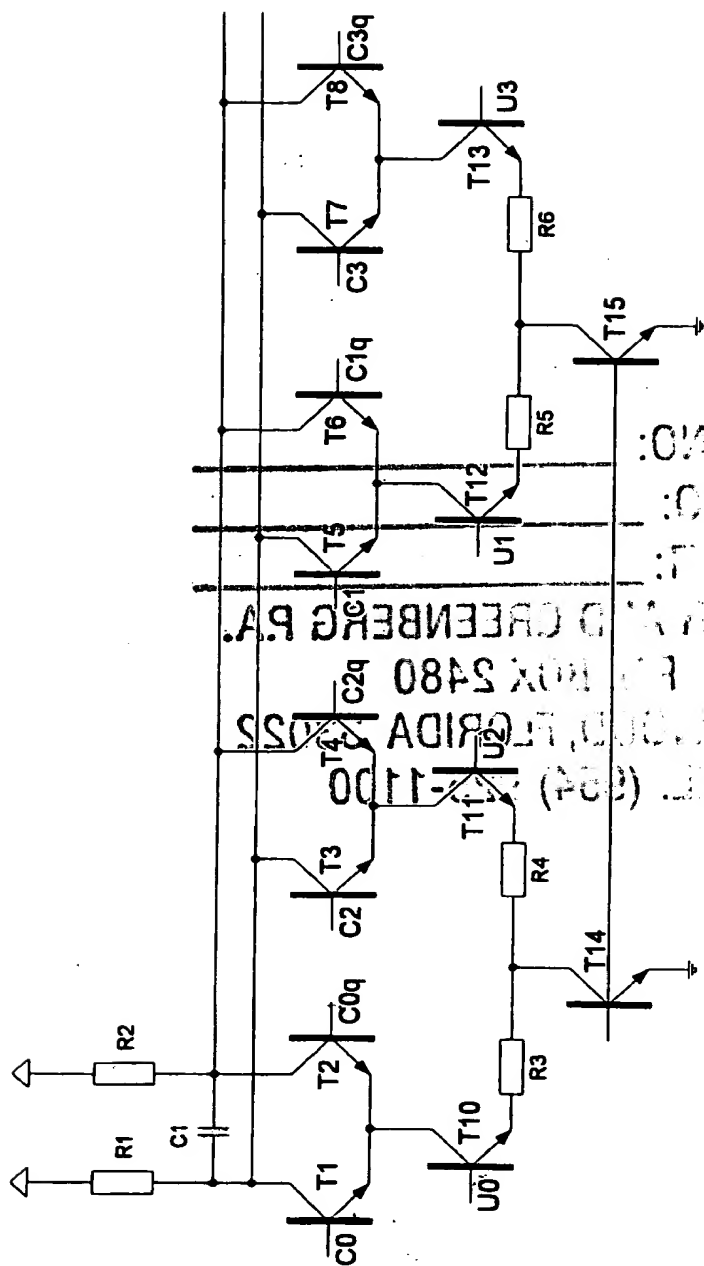


FIG. 3